

533,147

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局(43)国際公開日
2004年5月13日 (13.05.2004)

PCT

(10)国際公開番号
WO 2004/040045 A1(51)国際特許分類:
15/04, 15/22, H01L 21/322

C30B 29/06,

(71)出願人(米国を除く全ての指定国について):コマツ
電子金属株式会社 (KOMATSU DENSHI KINZOKU
KABUSHIKI KAISHA) [JP/JP]; 〒254-0014 神奈川県
平塚市 四之宮三丁目 25 番 1 号 Kanagawa (JP).

(21)国際出願番号: PCT/JP2003/014001

(72)発明者; および

(22)国際出願日: 2003年10月31日 (31.10.2003)

(75)発明者/出願人(米国についてのみ):前田進
(MAEDA,Susumu) [JP/JP]; 〒254-0014 神奈川県 平
塚市 四之宮三丁目 25 番 1 号 コマツ電子金属株
式会社内 Kanagawa (JP). 稲垣宏 (INAGAKI,Hiroshi)
[JP/JP]; 〒254-0014 神奈川県 平塚市 四之宮三丁目
25 番 1 号 コマツ電子金属株式会社内 Kanagawa
(JP). 川島茂樹 (KAWASHIMA,Shigeki) [JP/JP]; 〒
254-0014 神奈川県 平塚市 四之宮三丁目 25 番 1 号
コマツ電子金属株式会社内 Kanagawa (JP). 黒坂昇栄

(25)国際出願の言語: 日本語

(76)

(26)国際公開の言語: 日本語

(77)発明者/出願人(米国についてのみ):前田進
(MAEDA,Susumu) [JP/JP]; 〒254-0014 神奈川県 平
塚市 四之宮三丁目 25 番 1 号 コマツ電子金属株
式会社内 Kanagawa (JP). 稲垣宏 (INAGAKI,Hiroshi)
[JP/JP]; 〒254-0014 神奈川県 平塚市 四之宮三丁目
25 番 1 号 コマツ電子金属株式会社内 Kanagawa
(JP). 川島茂樹 (KAWASHIMA,Shigeki) [JP/JP]; 〒
254-0014 神奈川県 平塚市 四之宮三丁目 25 番 1 号
コマツ電子金属株式会社内 Kanagawa (JP). 黒坂昇栄

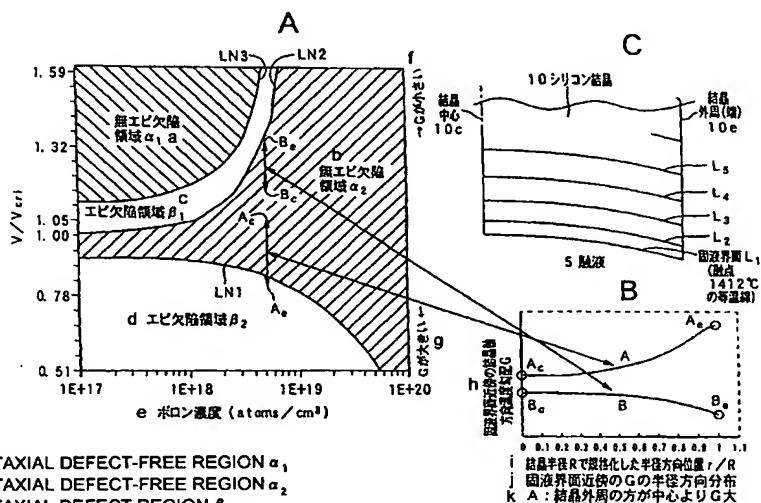
(30)優先権データ: 特願 2002-317955

2002年10月31日 (31.10.2002) JP

[統葉有]

(54)Title: METHOD FOR PRODUCING SILICON WAFER

(54)発明の名称:シリコンウェーハの製造方法



(57)Abstract: A method for producing a silicon crystal wherein the boron concentration in the silicon crystal and the growth condition V/G are controlled so that the boron concentration in the silicon crystal is not less than 1×10^{18} atoms/cm³ and the growth condition V/G falls within the epitaxial defect-free region α_2 whose lower limit line LN1 is the line indicating that the growth rate V gradually drops as the boron concentration increases. A method for producing a silicon wafer wherein the boron concentration in the silicon crystal and the growth condition V/G are controlled so that the growth condition V/G falls within at least the epitaxial defect region β_1 , and the heat treatment condition of the silicon crystal and the oxygen concentration in the silicon crystal are controlled so that no OSF nucleus grows to OSFs. A method for producing a silicon crystal wherein the boron concentration in the silicon crystal and the growth condition V/G are controlled so that they fall in the vicinity of the lower limit line LN3 within the epitaxial defect-free

WO 2004/040045 A1

region α_1 .

[統葉有]



(KUROSAKA,Shoel) [JP/JP]; 〒254-0014 神奈川県平塚市 四之宮三丁目 25番 1号 コマツ電子金属株式会社内 Kanagawa (JP). 中村 浩三 (NAKAMURA,Kozo) [JP/JP]; 〒254-0014 神奈川県 平塚市 四之宮三丁目 25番 1号 コマツ電子金属株式会社内 Kanagawa (JP).

(74) 代理人: 木村 高久, 外(KIMURA,Takahisa et al.); 〒104-0043 東京都 中央区 渋1丁目 8番 11号 千代ビル 6階 Tokyo (JP).

(81) 指定国(国内): CN, DE, US.

添付公開書類:

- 國際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

(57) 要約:

本発明は、シリコン結晶中のボロン濃度が $1 \times 10^{18} \text{atoms/cm}^3$ 以上でボロン濃度が上昇するにしたがい成長速度 V が徐々に低下するラインを下限ライン L N 1とする無エピ欠陥領域 α 2内に入るよう、シリコン結晶中のボロンの濃度と成長条件 V/G を制御してシリコン結晶を製造するものである。また、エピ欠陥領域 β 1を少なくとも含むように、シリコン結晶中のボロン濃度と成長条件 V/G を制御するとともに、OSF核が OSF に顕在化しないようにシリコン結晶の熱処理条件とシリコン結晶中の酸素濃度とを制御してシリコンウェーハを製造するものである。さらに、無エピ欠陥領域 α 1内の下限ライン L N 3 近傍になるように、シリコン結晶中のボロン濃度と成長条件 V/G が制御してシリコン結晶を製造するものである。

明細書

シリコンウェーハの製造方法

技術分野

本発明はシリコンウェーハの製造方法に関し、特に、エピタキシャル成長層が形成されたシリコンウェーハを製造するに際して、エピタキシャル成長層を無欠陥にすることができる製造方法に関するものである。

背景技術

シリコン結晶はCZ（チョクラルスキー法）によって引上げ成長されることによって製造される。引上げ成長されたシリコン結晶のインゴットはシリコンウェーハにスライスされる。半導体デバイスはシリコンウェーハの表面にデバイス層を形成するデバイス工程を経て作成される。

しかしシリコン結晶の成長の過程でグローイン（Grown-in）欠陥（結晶成長時導入欠陥）と呼ばれる結晶欠陥が発生する。

近年、半導体回路の高集積化、微細化の進展に伴い、シリコンウェーハのうちデバイスが作成される表層近くには、こうしたグローイン欠陥が存在することが許されなくなってきた。このため無欠陥結晶の製造の可能性が検討されている。デバイスの特性を劣化させる結晶欠陥は、以下の3種類の欠陥である。

- a) COP (Crytstal Originated Particle) と呼ばれる空孔が凝集して生じるボイド欠陥（空洞）。
- b) OSF (酸化誘起積層欠陥, Oxidation Induced Stacking Fault)
- c) 格子間シリコンが凝集して生じる転位ループクラスタ（格子間シリコン型転位欠陥、I-defect）。

無欠陥のシリコン単結晶とは、上記3種の欠陥のいずれも含まないか、実質的に含まない結晶として認識ないしは定義されている。

デバイス回路が作成される表層付近においてグローイン欠陥を含まないシリコンウェーハを得るための方法の1つに、「エピタキシャル成長によりウェーハ表面に無欠陥層を成長させる」という方法がある。

すなわちエピタキシャルシリコンウェーハは、シリコンウェーハ基板(エピサブ)上に結晶完全性の高いエピタキシャル成長層(エピ層)を気相成長により育成した高付加価値シリコンウェーハである。エピタキシャル成長層は結晶完全性が高いため実質的に無欠陥層であると考えられ、エピタキシャル成長層にデバイスを作製すればシリコンウェーハ基板の表層にデバイスを作製する場合と比較してデバイスの特性は格段に向上升る。またエピタキシャル成長層の結晶完全性は、エピサブの結晶品質に大きく影響を受けないと考えられていたため、シリコンウェーハ基板自体の品質は今まであまり重要視されていなかった。

(従来技術1)

しかし、近年、欠陥を検査する装置が高感度化し欠陥評価の基準が厳しくなるに伴い、シリコンウェーハ基板中の欠陥がエピタキシャル成長層にまで伝搬し、エピタキシャル成長層における欠陥(エピ欠陥という)として顕れることが明らかになった。このことは非特許文献1(佐藤 2000応用物理学会分科会 シリコンテクノロジー No.16 24th April(2000)p.35)に記載されている。

したがってデバイスメーカーから、エピ欠陥の原因となる結晶欠陥が存在しないシリコンウェーハ基板上にエピタキシャル成長層を形成することによりエピタキシャル成長層を無欠陥とした無エピ欠陥エピタキシャルシリコンウェーハを製造して欲しいとの要求がされ始めている。

シリコンウェーハ基板中のグローイン欠陥には、エピタキシャル成長層に伝搬し易い欠陥と伝搬しにくい欠陥がある。特にOSFや転位ループクラスタはエピタキシャル成長層まで伝搬しエピ欠陥となる可能性が大きいためシリコンウェーハ基板から除外する必要がある。

シリコン単結晶中の欠陥は、結晶鉛直(軸)方向温度勾配Gを一定であると仮定すると、シリコン単結晶の引上げ速度Vにより変化する。すなわち引上げ速度Vが高い速度から低くなるにつれて、シリコン単結晶中には、ボイド欠陥(COP)、OSF(Ring-OSF(Ring like-OSF))、酸化性雰囲気下で熱処理後、ウェーハ中心同心リング上に観察される積層欠陥)、無欠陥領域、転位ループクラスタが順に発生することが知られている。

P型のシリコン結晶にはドーパント材としてシリコン結晶中にボロン（B）が添加される。高濃度にボロンが添加されている p/p^+ 、 p/p^{++} エピタキシャルシリコンウェーハでは、シリコン結晶中にボロンが $1 \times 10^{18} \text{ atoms/cm}^3 \sim 1 \times 10^{19} \text{ atoms/cm}^3$ 程度添加されている。

（従来技術 2）

ここで非特許文献 2（E.Dornberger,E.Graff,D.Suhren,M.Lambert,U.Wagner,W.von.Ammon,Journal of Crystal Growth,180(1997)343）には、ボロンが結晶欠陥の挙動に与える影響が示されている。この非特許文献 2 にはシリコン結晶中にボロンを高濃度に添加することにより、R-OSFは、より高い引上げ速度Vで発生することが明らかにされている。

現状の p^+ 、 p^{++} シリコン結晶の製造条件を本発明に係る図面を用いて説明する。

図2(a)は、エピ欠陥領域と無エピ欠陥領域の分布を示し、縦軸は結晶鉛直(軸)方向温度勾配Gを一定であると仮定したときの規格化された引上げ速度V/Vcriを示し、横軸はシリコン結晶中の添加ボロン濃度atoms/cm³を示している。ここで規格化された引上げ速度V/Vcriとは、添加ボロン濃度が $1 \times 10^{17} \text{ atoms/cm}^3$ のときの臨界速度Vcriで規格化された引上げ速度のことであり、臨界速度Vcriとは、引上げ速度Vを徐々に降下していくときにシリコン結晶中心にR-OSFが消滅するときの引上げ速度のことである。

図2(a)における無エピ欠陥領域 α_1 は、シリコンウェーハ基板でポイド欠陥が顕れエピタキシャル成長層で無欠陥となる無エピ欠陥領域のことである。またエピ欠陥領域 β_1 は、シリコンウェーハ基板でOSFが顕れエピタキシャル成長層で欠陥が顕れるエピ欠陥領域のことである。また無エピ欠陥領域 α_2 はシリコンウェーハ基板で無欠陥かつエピタキシャル成長層で無欠陥となる無エピ欠陥領域のことである。またエピ欠陥領域 β_2 は、シリコンウェーハ基板で転位ループクラスタが顕れエピタキシャル成長層で欠陥が顕れるエピ欠陥領域のことである。

従来、 p^+ シリコン結晶は図2(a)にJで示す領域（これを製造条件領域という）で製造されており、製造条件領域Jはエピ欠陥領域 β_1 を含んでいる。そこ

で、エピ欠陥を抑制するために製造条件領域をより低V側、つまり図2(b)に示す製造条件領域Kに移動させて、無エピ欠陥領域 α_2 内でシリコン結晶を製造する試みがなされている。

(従来技術3)

ここで、低ボロン濃度 p^- シリコン結晶（ボロン濃度で 1×10^{18} atoms/cm³ 未満）では、引上げ速度Vを低くすると、転位ループクラスタによりエピタキシャル成長層で欠陥が生じることになるが、高ボロン濃度 p^+ 、 p^{++} シリコン結晶では、同じ低引上げ速度Vでも、転位ループクラスタの発生が抑制されることが非特許文献3（浅山他、1999秋応物学会 3p-ZY-4）で報告されている。

したがって従来は、高ボロン濃度 p^+ 、 p^{++} シリコン結晶を製造する際には、引上げ速度Vを低くすれば、エピ欠陥を生じない高品質のシリコン結晶を比較的簡単に製造できると考えられていた。すなわち無エピ欠陥領域 α_2 の下限は低ボロン濃度（ 1×10^{18} atoms/cm³ 未満）では存在するが、高ボロン濃度（ 1×10^{18} atoms/cm³ ~ 1×10^{19} atoms/cm³ ）では存在しないものと予測されていた。

発明の開示

本発明者らは、引上げ速度Vを低くすれば、高ボロン濃度 p^+ 、 p^{++} シリコン結晶といえども、エピ欠陥の原因となり得る転位ループクラスタが発生することを発見するに至り上述した予測とは異なる知見を見いだした。

本発明はこうした実状に鑑みてなされたものであり、無エピ欠陥領域 α_2 の下限LN1を明らかにすることにより、エピ欠陥のない高品質のエピタキシャルシリコンウェーハを歩留まりよく製造できるようにすることを第1の解決課題とするものである。

またエピ欠陥領域 β_1 は、シリコンウェーハ基板で発生したOSFがエピタキシャル成長層に伝搬して欠陥として顕れることから、この領域を避けた製造条件領域でシリコン結晶を製造すべきとの考え方が従来より一般的であった。

しかし本発明者はエピ欠陥領域 β_1 を含む領域でシリコン結晶を製造したとして

もプロセス条件次第でエピタキシャル成長層で欠陥が顕れないことを発見するに至った。

本発明はこうした実状に鑑みてなされたものであり、エピ欠陥領域 $\beta 1$ を含む製造条件領域でエピ欠陥のない高品質のエピタキシャルシリコンウェーハを歩留まりよく製造できるようにすることを第2の解決課題とするものである。

また無エピ欠陥領域 $\alpha 1$ は、シリコンウェーハ基板でボイド欠陥が発生するもののエピタキシャル成長層には欠陥が顕れないと考えられていた。

しかし近年、エピタキシャル成長層を $2 \mu\text{m}$ 以下の極く薄い膜で形成したいとの要請がデバイスマーカーからある。このように極薄膜でエピタキシャル成長層を形成した場合には通常の膜厚($5 \mu\text{m}$ 程度)のエピタキシャル成長層では顕在化しないと考えられていたボイド欠陥に起因する欠陥がエピタキシャル成長層にてエピ欠陥として顕れることを発見するに至った。

本発明はこうした実状に鑑みてなされたものであり、エピタキシャル成長層を極薄膜に形成したとしてもエピ欠陥のない高品質のエピタキシャルシリコンウェーハを、無エピ欠陥領域 $\alpha 1$ 内で、歩留まりよく製造できるようにすることを第3の解決課題とするものである。

第1発明は、

シリコンウェーハ基板で無欠陥かつエピタキシャル成長層で無欠陥となる無欠陥領域であって、シリコン結晶中のボロン濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 以上でボロン濃度が上昇するにしたがい成長速度Vが徐々に低下するラインを下限ライン(LN1)とする無エピ欠陥領域($\alpha 2$)内に入るように、シリコン結晶中のボロンの濃度と成長条件V/G(V:成長速度、G:結晶の軸方向温度勾配)を制御して、シリコン結晶を製造するシリコン結晶製造工程と、

前記シリコン結晶からシリコンウェーハ基板を採取するシリコンウェーハ基板採取工程と、

前記シリコンウェーハ基板の上にエピタキシャル成長層を形成するエピタキシャル成長工程と

を含むシリコンウェーハ製造方法であることを特徴とする。

第2発明は、第1発明において、

前記シリコン結晶製造工程では、シリコン結晶の軸方向温度勾配Gが結晶中心から結晶端の間で所定レベル以下に均一にされることを特徴とする。

第3発明は、第2発明において、

前記シリコン結晶製造工程では、シリコン結晶が引き上げられるシリコン融液に磁場を印加することによって、シリコン結晶の軸方向温度勾配Gを結晶中心から結晶端の間で所定レベル以下に均一にすることを特徴とする。

第4発明は、第2発明において、

前記シリコン結晶製造工程では、シリコン結晶が引き上げられるシリコン融液を、無磁場の状態とし、かつシリコン結晶の回転数を制御することによって、シリコン結晶の軸方向温度勾配Gを結晶中心から結晶端の間で所定レベル以下に均一にすることを特徴とする。

第5発明は、第2発明において、

前記シリコン結晶製造工程では、シリコン結晶が引き上げられるシリコン融液を、無磁場の状態とし、かつシリコン融液が収容される石英るつぼの回転数を制御することによって、シリコン結晶の軸方向温度勾配Gを結晶中心から結晶端の間で所定レベル以下に均一にすることを特徴とする。

第6発明は、第1発明において、

前記シリコン結晶製造工程では、シリコン結晶中の酸素濃度が 12.5 atoms/c m^3 以下に制御されることを特徴とする。

第7発明は、第2発明において、

前記シリコン結晶製造工程では、シリコン結晶中の酸素濃度が 12.5 atoms/c m^3 以下に制御されることを特徴とする。

第1発明によれば、図1にLN1で示すように、シリコン結晶中のボロン濃度が

1×10^{18} atoms/ cm^3 以上でボロン濃度が上昇するにしたがい成長速度Vが徐々に低下するラインを下限ラインとする無エピ欠陥領域 α_2 内に入るように、シリコン結晶中のボロンの濃度と成長条件V/G（V：成長速度、G：結晶の軸方向温度勾配）が制御されて、シリコン結晶が製造される。

つぎに、製造されたシリコン結晶からシリコンウェーハ基板が採取される。

つぎに、採取されたシリコンウェーハ基板の上にエピタキシャル成長層が形成される。

こうしてシリコンウェーハ基板にもエピタキシャル成長層にも欠陥が顕れない高品質のエピタキシャルシリコンウェーハが製造される。

本発明によれば、無エピ欠陥領域 α_2 の下限LN1が明らかになったので、下限LN1を下回らないボロン濃度と成長条件V/Gが正確に求められる。そして、下限LN1を下回らないボロン濃度と成長条件V/Gでシリコン結晶を製造することにより、エピ欠陥のない高品質のエピタキシャルシリコンウェーハを歩留まりよく製造することができる。

第2発明は、第1発明のシリコン結晶製造工程に技術的限定を加えたものであり、シリコン結晶製造工程では、シリコン結晶の軸方向温度勾配Gが結晶中心から結晶端の間で所定レベル以下に均一にされる。

図3に示すようにシリコン結晶の軸方向温度勾配Gの均一性は、シリコン結晶の製造条件領域の縦幅（縦軸V/Vcri方向の幅）を規定する。シリコン結晶の軸方向温度勾配Gをシリコン結晶の結晶中心10cと結晶端10eとの間で均一にすればするほど、図3における製造条件領域の縦幅Be～Bc、Ac～Aeを小さくすることができ、無エピ欠陥領域 α_2 に入りやすくなり、より歩留まりよくエピ欠陥のない高品質のエピタキシャルシリコンウェーハを製造することができる。

第3発明は、第2発明のシリコン結晶製造工程のシリコン結晶製造工程に更に技術的限定を加えたものであり、シリコン結晶製造工程では、シリコン結晶が引き上げられるシリコン融液に磁場を印加することによって、シリコン結晶の軸方向温度勾配Gが結晶中心から結晶端の間で所定レベル以下に均一にされる。

第4発明は、第2発明のシリコン結晶製造工程に更に技術的限定を加えたものであり、シリコン結晶製造工程では、シリコン結晶が引き上げられるシリコン融液を、

無磁場の状態とし、かつシリコン結晶の回転数を制御することによって、シリコン結晶の軸方向温度勾配Gが結晶中心から結晶端の間で所定レベル以下に均一にされる。

第5発明は、第2発明のシリコン結晶製造工程に更に技術的限定を加えたものであり、シリコン結晶製造工程では、シリコン結晶が引き上げられるシリコン融液を、無磁場の状態とし、かつシリコン融液が収容される石英るつぼの回転数を制御することによって、シリコン結晶の軸方向温度勾配Gを結晶中心から結晶端の間で所定レベル以下に均一にされる。

第6発明、第7発明はそれぞれ、第1発明または第2発明のシリコン結晶製造工程に更に技術的限定を加えたものであり、シリコン結晶製造工程では、シリコン結晶中の酸素濃度が 12.5 atoms/cm^3 以下に制御される。

第6発明、第7発明によれば、シリコン結晶中の酸素濃度が 12.5 atoms/cm^3 以下に制御されて低酸素濃度になると、たとえ製造条件領域がエピ欠陥領域 $\beta 1$ にまたがっていたとしても、シリコンウェーハ基板中のOSF核がOSFという欠陥に成長してエピ欠陥としてエピタキシャル成長層で顕在化しにくくなる。このためボロン濃度と成長条件V/Gの設定条件を緩やかにでき、より歩留まりを向上させることができる。

第8発明は、

シリコンウェーハ基板でOSF（酸化誘起積層欠陥）が顕れエピタキシャル成長層で欠陥が顕れるエピ欠陥領域（ $\beta 1$ ）を少なくとも含むように、シリコン結晶中のボロンの濃度と成長条件V/G（V：成長速度、G：結晶の軸方向温度勾配）を制御するとともに、OSF核がOSFに顕在化しないようにシリコン結晶の熱処理の条件とシリコン結晶中の酸素濃度とを制御してシリコンウェーハを製造する方法であることを特徴とする。

第8発明によれば、製造条件領域がエピ欠陥領域 $\beta 1$ を含む範囲になったとしても、シリコン結晶の熱処理の条件とシリコン結晶中の酸素濃度が制御されることにより、シリコンウェーハ基板中のOSF核がOSFという欠陥に成長してエピ欠陥がエピタキシャル成長層で顕在化するに至らない。このため引上げ速度Vが高い製造条件領域で高品質のエピタキシャルシリコンウェーハを歩留まりよく製造する

ことができる。

第9発明は、

シリコンウェーハ基板でボイド欠陥が顕れエピタキシャル成長層で無欠陥となる無エビ欠陥領域 ($\alpha 1$) 内の下限ライン (LN 3) 近傍になるように、シリコン結晶中のボロン濃度と成長条件V/G (V:成長速度、G:結晶の軸方向温度勾配) を制御して、シリコン結晶を製造するシリコン結晶製造工程と、

前記シリコン結晶からシリコンウェーハ基板を採取するシリコンウェーハ基板採取工程と、

前記シリコンウェーハ基板の上に、 $2 \mu\text{m}$ 以下の薄膜のエピタキシャル成長層を形成するエピタキシャル成長工程と

を含むシリコンウェーハ製造方法であることを特徴とする。

第10発明は、第9発明において、

前記シリコン結晶製造工程では、シリコン結晶中の酸素濃度が 12.5 atoms/cm^3 以下に制御されること

を特徴とする。

第9発明は、無エビ欠陥領域 $\alpha 1$ 内の下限ライン LN 3 近傍では、ボイド欠陥 (COP) のサイズ、数が下限ライン LN 3 から離れた領域より小さくなるという知見に基づきなされたものである。シリコン結晶中のボロン濃度と成長条件V/Gを制御して、製造条件領域を、無エビ欠陥領域 $\alpha 1$ 内の下限ライン LN 3 近傍に設定することにより、ボイド欠陥 (COP) のサイズ、数が小さくなるので、エピタキシャル成長層を $2 \mu\text{m}$ 以下の極薄膜で形成したとしても、シリコンウェーハ基板中のボイド欠陥がエピタキシャル成長層に伝搬してエビ欠陥として顕在化するに至らない。このため引上げ速度Vが高い製造条件領域で高品質の極薄膜エピタキシャルシリコンウェーハを歩留まりよく製造することができる。

第10発明によれば、シリコン結晶中の酸素濃度が 12.5 atoms/cm^3 以下に制御されて低酸素濃度になると、たとえ結晶製造条件領域がエビ欠陥領域 $\beta 1$ にまたがっていたとしても、シリコンウェーハ基板中のOSF核がOSFという欠陥に成長してエビ欠陥としてエピタキシャル成長層で顕在化しにくくなる。このためボロン濃度と成長条件V/Gの設定条件を緩やかにでき、更に歩留まりを高くすること

ができる。

図面の簡単な説明

図1は実施形態に適用されるシリコン結晶10中のボロン濃度(atoms/cm³)と成長条件V/Vcri(成長条件V/G)とエピ欠陥領域、無エピ欠陥領域との関係を示す図である。

図2(a)、(b)は図1に対応する図であり、目標とする製造条件領域との関係を示した図である。

図3(a)は図1に対応する図であり、製造条件領域の縦幅Be～Bc、Ac～Aeとの関係を示した図であり、図3(b)は固液界面近傍の結晶軸方向温度勾配Gの結晶半径方向分布を示した図であり、図3(c)は固液界面近傍の結晶中の各等温線を示した図である。

図4は実施形態のシリコンウェーハ製造方法に用いられるシリコン結晶製造装置(単結晶シリコン成長装置)の構成の一例を示した図である。

図5(a)は固液界面が凸形状になっている様子を示す図で、図5(b)は結晶引上げ条件によって固液界面の凸形状が変化することを調べた実験結果を示す図である。

図6はるつぼ回転数によって固液界面の凸形状が変化することを調べた実験結果を示す図である。

発明を実施するための最良の形態

以下図面を参照して本発明に係るシリコンウェーハ製造方法の実施形態について説明する。

図4は実施形態に用いられるシリコン結晶製造装置の構成の一例を側面からみた図である。

同図4に示すように、実施形態の単結晶引上げ装置1は、単結晶引上げ用容器としてのCZ炉(チャンバ)2を備えている。

CZ炉2内には、多結晶シリコンの原料を溶融して融液5として収容する石英るつぼ3が設けられている。石英るつぼ3は、その外側が黒鉛るつぼ11によって覆

われている。石英るつぼ3の外側にあって側方には、石英るつぼ3内の多結晶シリコン原料を加熱して溶融する主ヒータ9が設けられている。石英るつぼ3の底部には、石英るつぼ底面を補助的に加熱して、石英るつぼ3の底部の融液5の固化を防止する補助ヒータ（ボトムヒータ）19が設けられている。主ヒータ9、補助ヒータ19はそれらの出力（パワー；kW）は独立して制御され、融液5に対する加熱量が独立して調整される。たとえば、融液5の温度が検出され、検出温度をフィードバック量とし融液5の温度が目標温度になるように、主ヒータ9、補助ヒータ19の各出力が制御される。

主ヒータ9とCZ炉2の内壁との間には、保温筒13が設けられている。

石英るつぼ3の上方には引上げ機構4が設けられている。引上げ機構4は、引上げ軸4aと引上げ軸4aの先端のシードチャック4cを含む。シードチャック4cによって種結晶14が把持される。

石英るつぼ3内で多結晶シリコン（Si）が加熱され溶融される。融液5の温度が安定化すると、引上げ機構4が動作し融液5から単結晶シリコン10（以下シリコン結晶10という）が引き上げられる。すなわち引上げ軸4aが降下され引上げ軸4aの先端のシードチャック4cに把持された種結晶14が融液5に浸漬される。種結晶14を融液5になじませた後引上げ軸4aが上昇する。シードチャック4cに把持された種結晶14が上昇するに応じてシリコン結晶10が成長する。引上げの際、石英るつぼ3は回転軸110によって回転速度 ω_1 で回転する。また引上げ機構4の引上げ軸4aは回転軸110と逆方向にあるいは同方向に回転速度 ω_2 で回転する。

本実施形態では、引き上げられるシリコン結晶10にボロン（B）を添加するために、石英るつぼ3内の融液5に予めボロンが投入されておかかる。

また回転軸110は鉛直方向に駆動することができ、石英るつぼ3を上下動させ任意の位置に移動させることができる。

CZ炉2内と外気を遮断することで炉2内は真空（たとえば20Torr程度）に維持される。すなわちCZ炉2には不活性ガスとしてのアルゴンガス7が供給され、CZ炉2の排気口からポンプによって排気される。これにより炉2内は所定の圧力に減圧される。

単結晶引上げのプロセス（1バッチ）の間で、CZ炉2内には種々の蒸発物が発生する。そこでCZ炉2にアルゴンガス7を供給してCZ炉2外に蒸発物とともに排気してCZ炉2内から蒸発物を除去しクリーンにしている。アルゴンガス7の供給流量は1バッチ中の各工程ごとに設定する。

シリコン結晶10の引上げに伴い融液5が減少する。融液5の減少に伴い融液5と石英るつぼ3との接触面積が変化し石英るつぼ3からの酸素溶解量が変化する。この変化が、引き上げられるシリコン結晶10中の酸素濃度分布に影響を与える。そこで、これを防止するために、融液5が減少した石英るつぼ3内に多結晶シリコン原料または単結晶シリコン原料を引上げ後あるいは引上げ中に追加供給してもよい。

石英るつぼ3の上方にあって、シリコン結晶10の周囲には、略逆円錐台形状の熱遮蔽板8（ガス整流筒）が設けられている。熱遮蔽板8は、保温筒13に支持されている。熱遮蔽板8は、CZ炉2内に上方より供給されるキャリアガスとしてのアルゴンガス7を、融液表面5aの中央に導き、さらに融液表面5aを通過させて融液表面5aの周縁部に導く。そして、アルゴンガス7は、融液5から蒸発したガスとともに、CZ炉2の下部に設けた排気口から排出される。このため液面上のガス流速を安定化することができ、融液5から蒸発する酸素を安定な状態に保つことができる。

また熱遮蔽板8は、種結晶14および種結晶14により成長されるシリコン結晶10を、石英るつぼ3、融液5、主ヒータ9などの高温部で発生する輻射熱から、断熱、遮蔽する。また熱遮蔽板8は、シリコン結晶10に、炉内で発生した不純物（たとえばシリコン酸化物）等が付着して、単結晶育成を阻害することを防止する。熱遮蔽板8の下端と融液表面5aとの間隙のギャップHの大きさは、回転軸110を上昇下降させ、石英るつぼ3の上下方向位置を変化させることで調整することができる。また熱遮蔽板8を昇降装置により上下方向に移動させてギャップHを調整してもよい。

ギャップH、引上げ軸4aの引上げ速度Vを調整することによって、シリコン結晶10の成長条件V/G（V：成長速度、G：結晶の軸方向温度勾配）が制御される。

また石英るつぼ3内へのボロン投入量を調整することによって、シリコン結晶10中のボロンの濃度（ボロン添加量、atoms/c m³）が制御される。

また引上げ中に、るつぼ回転数 ω_1 、引上げ軸回転数 ω_2 、アルゴンガス流量、炉内圧等を調整することによって、シリコン結晶10中の酸素濃度（atoms/c m³）が制御される。

図4の装置によって製造されたシリコン結晶10のインゴットは切断装置によって切断されて、シリコンウェーハが採取される。

シリコンウェーハは、エピタキシャル成長装置の炉内に載置されて、薄膜の原料となる原料ガス、たとえばトリクロルシラン（SiHCl₃）がシリコンウェーハの表面に供給される。そしてトリクロルシランの化学反応によってシリコンウェーハ基板の表面に同じシリコンの薄膜がエピタキシャル成長によって形成されていく。このようにして原子配列がシリコンウェーハ基板と同一の結晶がエピタキシャル成長膜として基板上に形成される。

図1は本実施形態に適用されるシリコン結晶10中のボロン濃度（atoms/c m³）と成長条件V/Gとエピ欠陥領域ないしは無エピ欠陥領域との関係を示している。

図1の縦軸は結晶鉛直（軸）方向温度勾配Gを一定であると仮定したときの規格化された引上げ速度V/V_{cri}を示し、横軸はシリコン結晶10中の添加ボロン濃度atoms/c m³ を示している。ここで規格化された引上げ速度V/V_{cri}とは、添加ボロン濃度が 1×10^{17} atoms/c m³ のときの臨界速度V_{cri}で規格化された引上げ速度のことであり、臨界速度V_{cri}とは、引上げ速度Vを徐々に降下していくときにシリコン結晶中心にR-OSFが消滅するときの引上げ速度のことである。

図1における無エピ欠陥領域 α_1 は、シリコンウェーハ基板でボイド欠陥が顕れエピタキシャル成長層で無欠陥となる無エピ欠陥領域のことである。またエピ欠陥領域 β_1 は、シリコンウェーハ基板でOSFが顕れエピタキシャル成長層で欠陥が顕れるエピ欠陥領域のことである。また無エピ欠陥領域 α_2 はシリコンウェーハ基板で無欠陥かつエピタキシャル成長層で無欠陥となる無エピ欠陥領域のことである。またエピ欠陥領域 β_2 は、シリコンウェーハ基板で転位ループクラスタが顕れエピタキシャル成長層で欠陥が顕れるエピ欠陥領域のことである。

図1を従来技術との比較において説明する。

従来技術3によれば、無エピ欠陥領域 $\beta 2$ の下限は低ボロン濃度 (1×10^{18} atoms/cm³ 未満) では存在するが、高ボロン濃度 (1×10^{18} atoms/cm³ ~ 1×10^{19} atoms/cm³) では存在しないものと予測されていた。

しかし本発明者らは、引上げ速度Vを低くすれば、高ボロン濃度p⁺、p⁺⁺シリコン結晶といえども、エピ欠陥の原因となり得る転位ループクラスタが発生することを発見するに至り上述した予測とは異なる知見を見いだした。

すなわち図1にLN1で示すように、シリコン結晶中のボロン濃度が 1×10^{18} atoms/cm³以上でボロン濃度が上昇するにしたがい成長速度Vが徐々に低下するラインを、無エピ欠陥領域 $\alpha 2$ の下限ラインとして見いだした。

(第1の製造方法)

そこで、下限ラインLN1を下回らず無エピ欠陥領域 $\alpha 2$ 内に入るように、シリコン結晶10中のボロンの濃度と成長条件V/G (V:成長速度、G:結晶の軸方向温度勾配) が制御されて、シリコン結晶10が製造される。

つぎに、製造されたシリコン結晶10からシリコンウェーハ基板が採取される。

つぎに、採取されたシリコンウェーハ基板の上にエピタキシャル成長層が形成される。

この結果シリコンウェーハ基板にもエピタキシャル成長層にも欠陥が顕れない高品質のエピタキシャルシリコンウェーハが製造される。

欠陥評価はたとえば銅デコレーション (Cu Decoration) 後のX線トポグラフ法で行うことができる。また赤外散乱法、酸素析出熱処理後のX線トポグラフ法、酸素析出熱処理後のエッティング光学顕微鏡観察、Seccoエッティング法などを用いてもよく、各方法を併用してもよい。

本実施形態によれば、無エピ欠陥領域 $\alpha 2$ の下限LN1が明らかになったので、下限LN1を下回らないボロン濃度と成長条件V/Gを正確に求めることができる。そして、下限LN1を下回らないボロン濃度と成長条件V/Gでシリコン結晶10を製造することにより、エピ欠陥のない高品質のエピタキシャルシリコンウェーハを歩留まりよく製造することができる。

上述した第1の製造方法に関しては以下のようないくつかの制御を追加する実施も可能である。

(第2の製造方法)

この第2の製造方法では、第1の製造方法でシリコン結晶10を製造するに際して、シリコン結晶10の軸方向温度勾配Gを結晶中心10cから結晶端10eの間で所定レベル以下に均一にする制御が追加される。

図2(b)は第1の製造方法でシリコン結晶10を製造するときの製造条件領域Kの一例を示している。

本発明者は、製造条件領域Kの図2(b)中縦幅は、シリコン結晶10の軸方向温度勾配Gの結晶半径方向の均一性によって規定され、結晶軸方向温度勾配Gは、シリコン結晶引上げ中の融液5とシリコン結晶10との境界である固液界面を上に凸の形状にすることにより均一になることを発見するに至った。

図3(a)は図1に対応する図であり、図3(a)中に、製造条件領域の縦幅をBc~Be、Ac~Aeをそれぞれ例示している。

図3(c)はシリコン結晶引上げ中の融液5とシリコン結晶10との境界である固液界面近傍の各等温線L1、L2、L3、L4、L5を示している。図3(c)において等温線L1は固液界面における等温線であり、L2、L3、L4、L5は固液界面から結晶軸方向に順次遠ざかった位置における等温線である。等温線L1、L2、L3、L4、L5は、シリコン結晶10の結晶中心10cと結晶外周である結晶端10eとの間の等温線として示している。結晶中心10cと結晶端10eとの距離はシリコン結晶10の半径Rに相当する。同図3(c)では固液界面が上に凸の形状になっており、これに伴いシリコン結晶10の軸方向温度勾配Gが結晶中心10c~結晶端10eの各位置rで均一になっているのがわかる。

図3(b)は固液界面近傍の結晶軸方向温度勾配Gの結晶半径方向分布を示している。図3(b)の横軸はシリコン結晶10の半径Rで規格化されたシリコン結晶10の半径方向位置r/Rを示し、縦軸は固液界面近傍の結晶軸方向温度勾配Gを示している。

図3(b)中のラインAは、結晶中心10cにおける結晶軸方向温度勾配Acよりも結晶端10eにおける結晶軸方向温度勾配Aeの方が大きい場合を示し、図3(b)中のラインBは、結晶中心10cにおける結晶軸方向温度勾配Bcよりも結晶端10eにおける結晶軸方向温度勾配Beの方が小さい場合を示している。また

ラインAの方がラインBよりも全体として結晶軸方向温度勾配Gが大きくなっている場合を例示している。

図3 (a) と図3 (b) を比較してわかるように、結晶軸方向温度勾配Gが全体として小さい製造条件領域Be～Bcは、結晶軸方向温度勾配Gが全体として大きい製造条件領域Ac～Aeよりも図3 (a) 中で上側に位置している。つまり結晶軸方向温度勾配Gを小さくするほど製造条件領域Ac～AeあるいはBe～Bcは無エピ欠陥領域 α_2 の上限LN2（エピ欠陥領域 β_1 の下限）に近づき、結晶軸方向温度勾配Gを大きくするほど製造条件領域Ac～AeあるいはBe～Bcは無エピ欠陥領域 α_2 の下限LN1（エピ欠陥領域 β_2 の上限）に近づく。

また結晶中心10cにおける結晶軸方向温度勾配Acよりも結晶端10eにおける結晶軸方向温度勾配Aeの方を大きくすることにより、結晶軸方向温度勾配Gが小さい方の結晶中心10c (Ac) を図3 (a) 中で上側に位置させ、結晶軸方向温度勾配Gが大きい方の結晶端10e (Ae) を図3 (a) 中で下側に位置させることができる。同様に結晶中心10cにおける結晶軸方向温度勾配Bcよりも結晶端10eにおける結晶軸方向温度勾配Beの方を小さくすることにより、結晶軸方向温度勾配Gが小さい方の結晶端10e (Be) を図3 (a) 中で上側に位置させ、結晶軸方向温度勾配Gが大きい方の結晶中心10c (Bc) を図3 (a) 中で下側に位置させることができる。

そして図3 (b) でラインAをフラットに近づければ近づけるほど、つまり結晶中心Ac～結晶端Aeの各位置r/Rにおける結晶軸方向温度勾配Gを均一にすればするほど、図3 (a) における製造条件領域の縦幅Ac～Aeを小さくすることができる。同様に図3 (b) でラインBをフラットに近づければ近づけるほど、つまり結晶中心Bc～結晶端Beの各位置r/Rにおける結晶軸方向温度勾配Gを均一にすればするほど、図3 (a) における製造条件領域の縦幅Be～Bcを小さくすることができる。

ここで結晶軸方向温度勾配Gは、図3 (c) のように固液界面を上に凸の形状にすることにより、均一になる。

そこで本実施形態では、固液界面を上に凸の形状にする制御が行われ、結晶軸方向温度勾配Gが均一にされる。これにより図3 (a) 中の製造条件領域の縦幅Ac

～Aeあるいは製造条件領域の縦幅Be～Bcが小さくなる。図3(a)中で製造条件領域の縦幅Ac～Aeが小さくなると、図中下側の結晶端10e(Ae)が無エピ欠陥領域 α_2 の下限LN1を下回ってエピ欠陥領域 β_2 に入ることを防止することができる。同様に図3(a)中で製造条件領域の縦幅Be～Bcが小さくなると、図中上側の結晶端10e(Be)が無エピ欠陥領域 α_2 の上限LN2を超えてしまいエピ欠陥領域 β_1 に入ることを防止することができる。

このように本実施形態によれば、図2(b)の目標とする製造条件領域Kを無エピ欠陥領域 α_2 内に入りやすくすることができ、より歩留まりよくエピ欠陥のない高品質のエピタキシャルシリコンウェーハを製造することができる。

(第3の製造方法)

つぎに固液界面を上に凸の形状にする制御の具体例について説明する。

この第3の製造方法では、シリコン結晶10を製造するに際して、シリコン結晶10が引き上げられるシリコン融液5に磁場を印加することによって、固液界面が上に凸の形状にされ、シリコン結晶10の軸方向温度勾配Gが結晶中心10cから結晶端10eの間で所定レベル以下に均一にされる。

融液5に磁場を印加する方法には、たとえば超伝導マグネットを用いて横磁場を印加したり、カスプ磁場を印加する方法がある。

融液5に磁場が印加されることにより融液5内の対流が抑制される。このため固液界面を目標温度(たとえば1412°C)に制御すべく主ヒータ9による加熱量が増加する。これにより融液5から固液界面に流入する熱量が増加し、固液界面が上に凸の形状になる。

(第4の製造方法)

つぎに固液界面を上に凸の形状にする制御の別の例について説明する。

この第4の製造方法では、シリコン結晶10を製造するに際して、シリコン結晶10が引き上げられるシリコン融液5が、無磁場の状態とされ、シリコン結晶10の回転数 ω_2 が制御されることによって、シリコン結晶10の軸方向温度勾配Gが結晶中心10cから結晶端10eの間で所定レベル以下に均一にされる。

シリコン結晶10の回転数 ω_2 が一定レベル以上に上昇することによって、融液5内で下から巻き上がる流れが生じ、熱輸送が融液5の中心部で活性化する。これ

により固液界面が上に凸の形状になる。

図5 (b) は直径200mmのシリコン結晶10を引き上げるに際して結晶引上げ条件によって固液界面の凸形状が変化することを調べた実験結果を示す。図5 (b) の横軸は引上げ速度Vであり縦軸は固液界面の中心高さ(突出量)Xcenである。固液界面中心高さ(突出量)Xcenが正の値のとき固液界面は上に凸となり、固液界面中心高さ(突出量)Xcenが負の値のとき固液界面は下に凸となる。固液界面中心高さ(突出量)Xcenは図5 (a) で定義される。

図5 (b)においてS/R26はシリコン結晶10の回転数 ω_2 が26rpmの場合を示し、S/R30はシリコン結晶10の回転数 ω_2 が30rpmの場合を示し、H30は熱遮蔽板8の下端と融液表面5aとの間隙のギャップHが30mmの場合を示し、H50は同ギャップHが50mmの場合を示している。ただし磁場は無磁場の状態である。

(第5の製造方法)

固液界面を上に凸の形状にするためにシリコン結晶10の回転数 ω_2 を制御する代わりに石英るつぼ3の回転数 ω_1 を制御してもよい。

この第5の製造方法では、シリコン結晶10を製造するに際して、シリコン結晶10が引き上げられるシリコン融液5が、無磁場の状態とされ、石英るつぼ3の回転数 ω_1 が制御されることによって、シリコン結晶10の軸方向温度勾配Gが結晶中心10cから結晶端10eの間で所定レベル以下に均一にされる。

図6は石英るつぼ3の回転数 ω_1 によって固液界面の凸形状が変化することを調べた実験結果を示す。図6の横軸は石英るつぼ3の回転数 ω_1 であり縦軸は固液界面中心高さ(突出量)Xcenである。ただし引上げ速度は1.5mm/minであり、磁場は無磁場の状態である。

(第6の製造方法)

この第6の製造方法では、第1の製造方法でシリコン結晶10を製造するに際して、シリコン結晶10中の酸素濃度を12.5atoms/cm³以下に制限する制御が追加される。

第1の製造方法では、図2 (b)に示すように製造条件領域Kが無エビ欠陥領域 α_2 内に収まることを前提としている。しかし場合によっては製造条件を緩やかに

してエピ欠陥領域 β_1 にまたがる製造条件領域でシリコン結晶10を製造することがある。

そこでシリコン結晶10中の酸素濃度を12.5 atoms/cm³以下に制限する制御が行われる。シリコン結晶10が低酸素濃度になると、たとえ結晶製造条件領域がエピ欠陥領域 β_1 にまたがっていたとしても、シリコンウェーハ基板中のOSF核がOSFという欠陥に成長してエピ欠陥としてエピタキシャル成長層で顕在化しにくくなる。このためボロン濃度と成長条件V/Gの設定条件を緩やかにでき、より歩留まりを向上させることができる。

(第7の製造方法)

この第7の製造方法では、図2(a)に例示するように、エピ欠陥領域 β_1 を少なくとも含む製造条件領域Jになるように、シリコン結晶10中のボロンの濃度と成長条件V/Gが制御されて、シリコン結晶10が製造される。ここで「エピ欠陥領域 β_1 を少なくとも含む」とは、製造条件領域がエピ欠陥領域 β_1 内に収まる場合、エピ欠陥領域 β_1 と無エピ欠陥領域 α_1 とにまたがる場合、エピ欠陥領域 β_1 と無エピ欠陥領域 α_2 とにまたがる場合、エピ欠陥領域 β_1 と無エピ欠陥領域 α_1 と無エピ欠陥領域 α_2 とにまたがる場合をいう。

更に第7の製造方法では、OSF核がOSFに顕在化しないようにシリコン結晶10中の酸素濃度が制御されるとともにシリコンウェーハ基板に熱処理が施される。

OSF核をOSFに顕在化させないための酸素濃度と熱処理の条件を以下に例示する。

- 1) シリコン結晶10中の酸素濃度を12.5 atoms/cm³以下に制限し、乾燥したO₂ガス雰囲気下(Dry O₂)で1000°C × 16時間の熱処理を施す。
- 2) シリコン結晶10中の酸素濃度を11 atoms/cm³以下に制限し、湿ったO₂ガス雰囲気下(Wet O₂)で650°C × 3時間+1100°C × 2時間の熱処理を施す。
- 3) シリコン結晶10中の酸素濃度を11 atoms/cm³以下に制限し、乾燥したO₂ガス雰囲気下(Dry O₂)で650°C × 3時間+1000°C × 16時間の熱処理を施す。

以上のような酸素濃度と熱処理の条件でシリコン結晶10中の酸素濃度を制御

しシリコンウェーハ基板に熱処理を施したところ、シリコンウェーハ基板中のOSF核がOSFという欠陥に成長してエビ欠陥としてエピタキシャル成長層で顕在化するには至らなかった。

このように本実施形態によれば、製造条件領域がエビ欠陥領域 β_1 を含む範囲になったとしても、OSF起因のエビ欠陥が発生しない。このため図2(a)のように引上げ速度Vが高い製造条件領域Jで、高品質のエピタキシャルシリコンウェーハを歩留まりよく製造することができる。

(第8の製造方法)

本発明者は、無エビ欠陥領域 α_1 内で下限ラインLN3に近づくにつれて、ボイド欠陥(COP)のサイズ、数が小さくなることを発見し、極薄膜のエピタキシャルシリコンウェーハを製造したとき無エビ欠陥領域 α_1 の下限ラインLN3から離れた図中左上の領域ではボイド欠陥がエピタキシャル成長層に伝搬してエビ欠陥として顕れるが、無エビ欠陥領域 α_1 内の下限ラインLN3近傍の領域ではボイド欠陥起因のエビ欠陥が顕在化されないという知見を得た。

そこで、この第8の製造方法では、無エビ欠陥領域 α_1 内の下限ラインLN3近傍の製造条件領域になるように、シリコン結晶10中のボロンの濃度と成長条件V/Gが制御されて、シリコン結晶10が製造される。

つぎに、製造されたシリコン結晶10からシリコンウェーハ基板が採取される。

つぎに、採取されたシリコンウェーハ基板の上に、2μm以下の極薄膜のエピタキシャル成長層が形成される。

この結果、エビ欠陥のない高品質の極薄膜エピタキシャルシリコンウェーハが製造される。本実施形態によれば、引上げ速度Vが高い製造条件領域で高品質の極薄膜エピタキシャルシリコンウェーハを歩留まりよく製造することができる。

(第9の製造方法)

この第9の製造方法では、第8の製造方法でシリコン結晶10を製造するに際して、シリコン結晶10中の酸素濃度を12.5 atoms/cm³以下に制限する制御が追加される。

第8の製造方法では、製造条件領域が無エビ欠陥領域 α_1 内に収まることを前提としている。しかし場合によっては製造条件を緩やかにしてエビ欠陥領域 β_1 にま

たがる製造条件領域でシリコン結晶10を製造することができる。

そこでシリコン結晶10中の酸素濃度を12.5 atoms/cm³以下に制限する制御が行われる。シリコン結晶10が低酸素濃度になると、たとえ結晶製造条件領域がエピ欠陥領域β1にまたがっていたとしても、シリコンウェーハ基板中のOSF核がOSFという欠陥に成長してエピ欠陥としてエピタキシャル成長層で顕在化にくくなる。このためボロン濃度と成長条件V/Gの設定条件を緩やかにでき、より歩留まりを向上させることができる。

請求の範囲

1. シリコンウェーハ基板で無欠陥かつエピタキシャル成長層で無欠陥となる無欠陥領域であって、シリコン結晶中のボロン濃度が 1×10^{18} atoms/cm³以上でボロン濃度が上昇するにしたがい成長速度Vが徐々に低下するラインを下限ライン(LN1)とする無エピ欠陥領域(α2)内に入るように、シリコン結晶中のボロンの濃度と成長条件V/G(V:成長速度、G:結晶の軸方向温度勾配)を制御して、シリコン結晶を製造するシリコン結晶製造工程と、

前記シリコン結晶からシリコンウェーハ基板を採取するシリコンウェーハ基板採取工程と、

前記シリコンウェーハ基板の上にエピタキシャル成長層を形成するエピタキシャル成長工程と

を含むシリコンウェーハ製造方法。

2. 前記シリコン結晶製造工程では、シリコン結晶の軸方向温度勾配Gが結晶中心から結晶端の間で所定レベル以下に均一にされること
を特徴とする請求の範囲1記載のシリコンウェーハの製造方法。

3. 前記シリコン結晶製造工程では、シリコン結晶が引き上げられるシリコン融液に磁場を印加することによって、シリコン結晶の軸方向温度勾配Gを結晶中心から結晶端の間で所定レベル以下に均一にすること
を特徴とする請求の範囲2記載のシリコンウェーハの製造方法。

4. 前記シリコン結晶製造工程では、シリコン結晶が引き上げられるシリコン融液を、無磁場の状態とし、かつシリコン結晶の回転数を制御することによって、シリコン結晶の軸方向温度勾配Gを結晶中心から結晶端の間で所定レベル以下に均一にすること
を特徴とする請求の範囲2記載のシリコンウェーハの製造方法。

5. 前記シリコン結晶製造工程では、シリコン結晶が引き上げられるシリコン融液を、無磁場の状態とし、かつシリコン融液が収容される石英るつぼの回転数を制御することによって、シリコン結晶の軸方向温度勾配Gを結晶中心から結晶端の間で所定レベル以下に均一にすること
を特徴とする請求の範囲2記載のシリコンウェーハの製造方法。

6. 前記シリコン結晶製造工程では、シリコン結晶中の酸素濃度が 12.5 atoms/c m³以下に制御されること

を特徴とする請求の範囲 1 記載のシリコンウェーハの製造方法。

7. 前記シリコン結晶製造工程では、シリコン結晶中の酸素濃度が 12.5 atoms/c m³以下に制御されること

を特徴とする請求の範囲 2 記載のシリコンウェーハの製造方法。

8. シリコンウェーハ基板で OSF (酸化誘起積層欠陥) が顯れエピタキシャル成長層で欠陥が顯れるエピ欠陥領域 (β_1) を少なくとも含むように、シリコン結晶中のボロンの濃度と成長条件 V/G (V : 成長速度、G : 結晶の軸方向温度勾配) を制御するとともに、OSF核がOSFに顯在化しないようにシリコン結晶の熱処理の条件とシリコン結晶中の酸素濃度とを制御すること

を特徴とするシリコンウェーハの製造方法。

9. シリコンウェーハ基板でボイド欠陥が顯れエピタキシャル成長層で無欠陥となる無エピ欠陥領域 (α_1) 内の下限ライン (LN3) 近傍になるように、シリコン結晶中のボロン濃度と成長条件 V/G (V : 成長速度、G : 結晶の軸方向温度勾配) を制御して、シリコン結晶を製造するシリコン結晶製造工程と、

前記シリコン結晶からシリコンウェーハ基板を採取するシリコンウェーハ基板採取工程と、

前記シリコンウェーハ基板の上に、2 μm以下の薄膜のエピタキシャル成長層を形成するエピタキシャル成長工程と

を含むシリコンウェーハ製造方法。

10. 前記シリコン結晶製造工程では、シリコン結晶中の酸素濃度が 12.5 atoms/c m³以下に制御されること

を特徴とする請求項 9 記載のシリコンウェーハの製造方法。

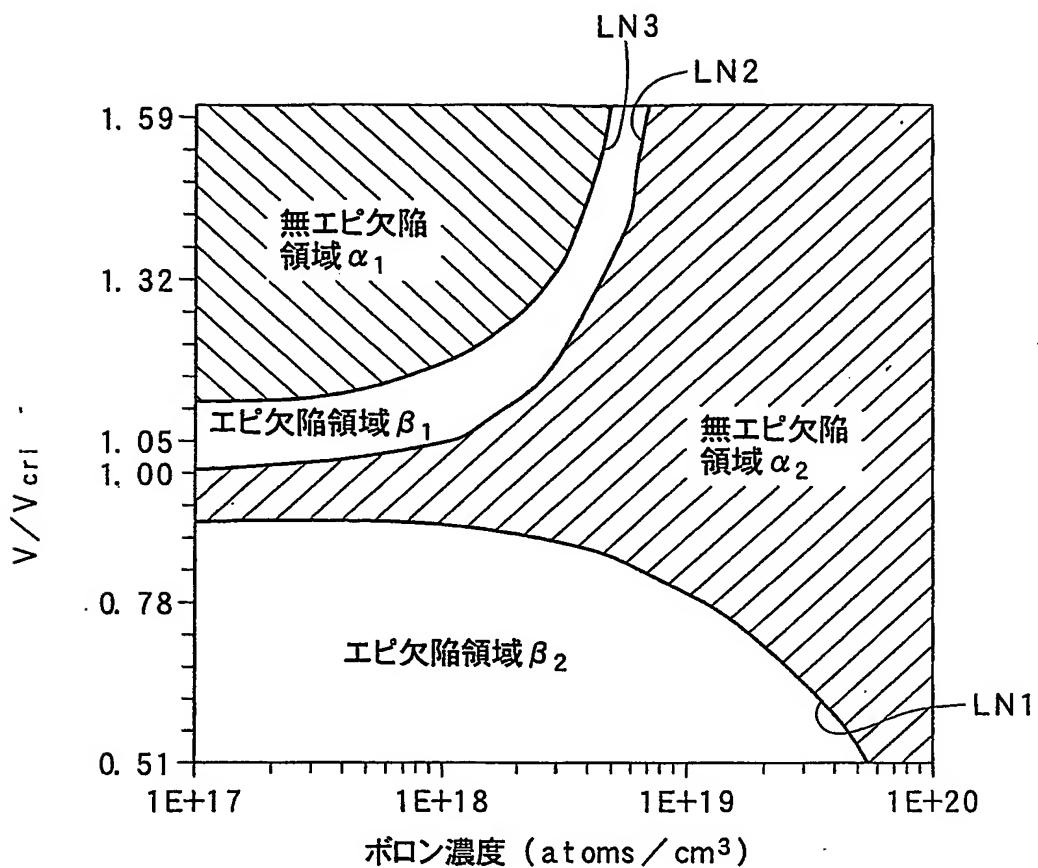
FIG.1

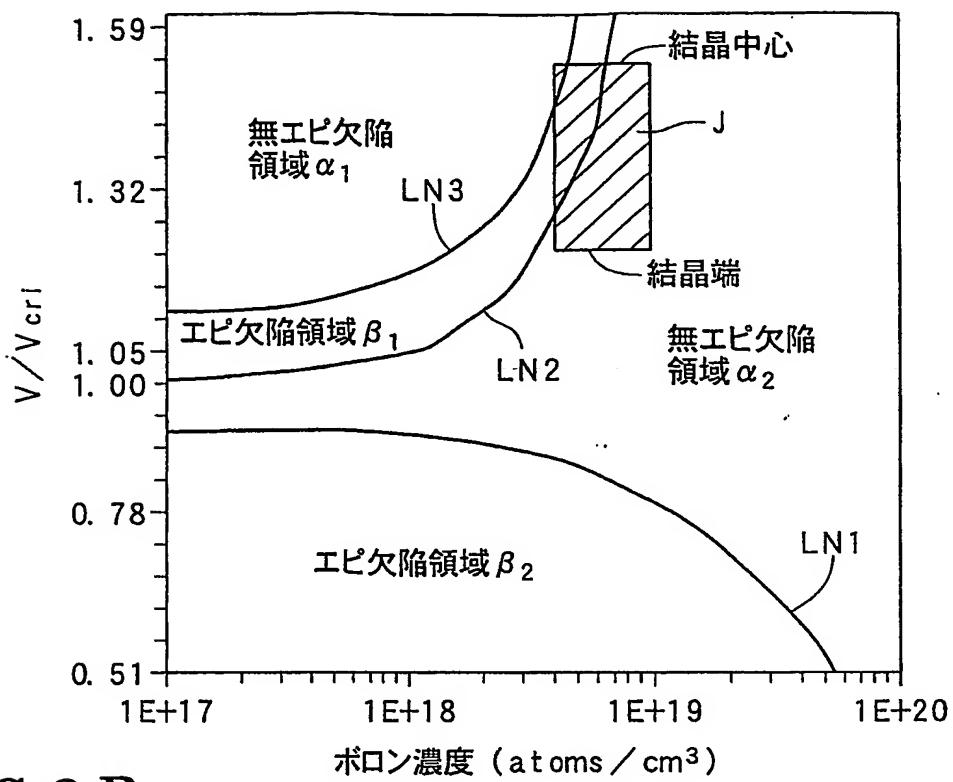
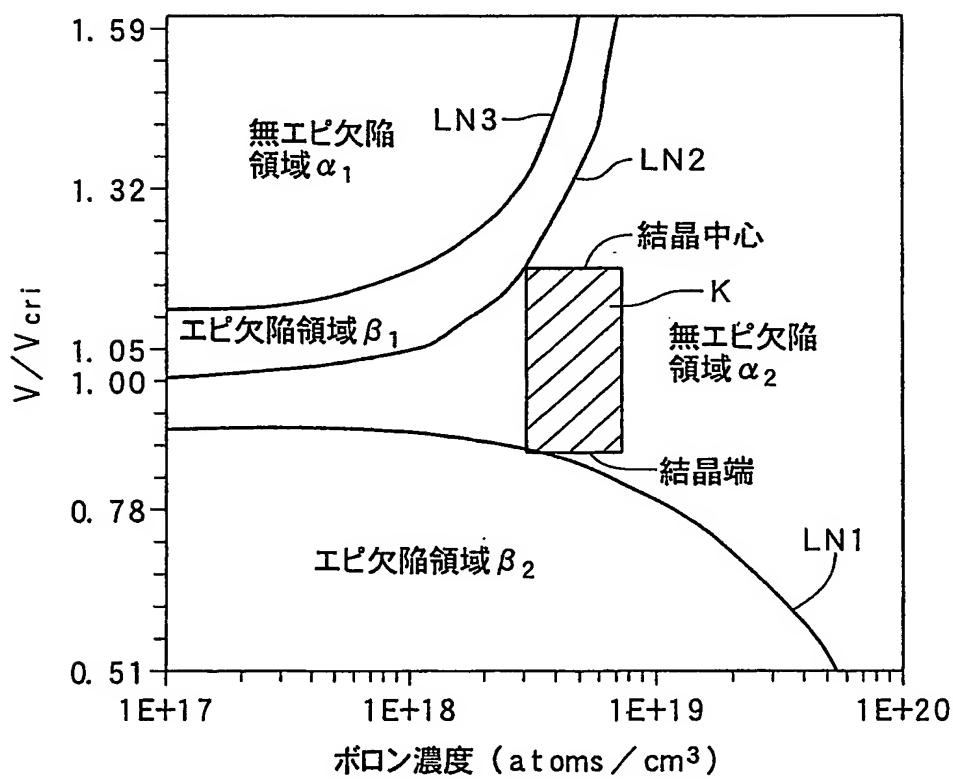
FIG.2 A**FIG.2 B**

FIG. 3A

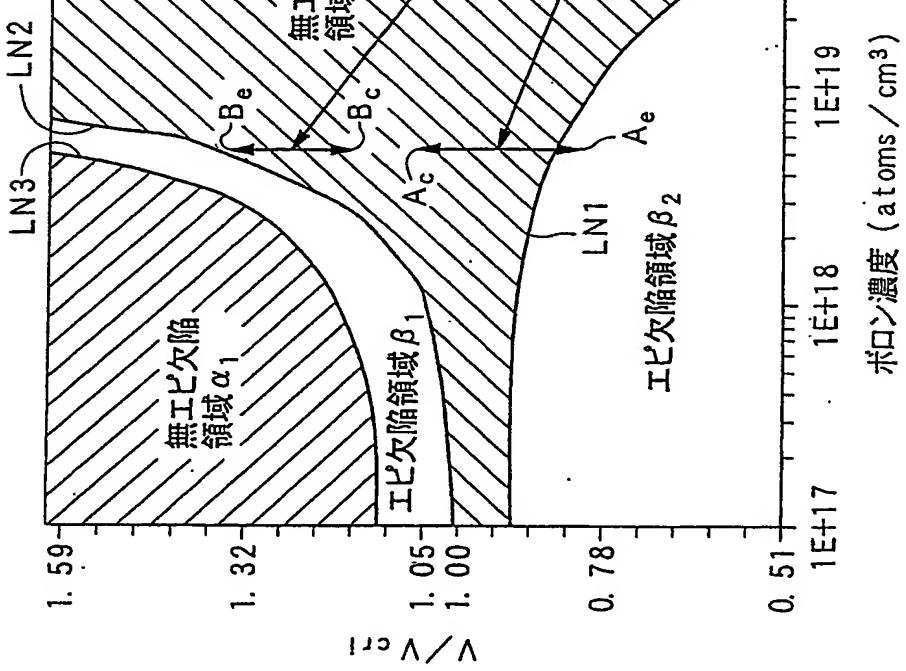


FIG. 3C

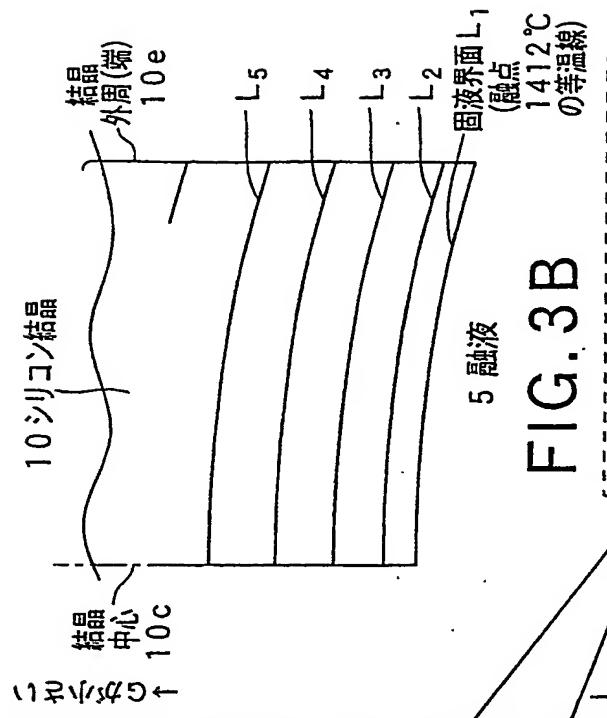
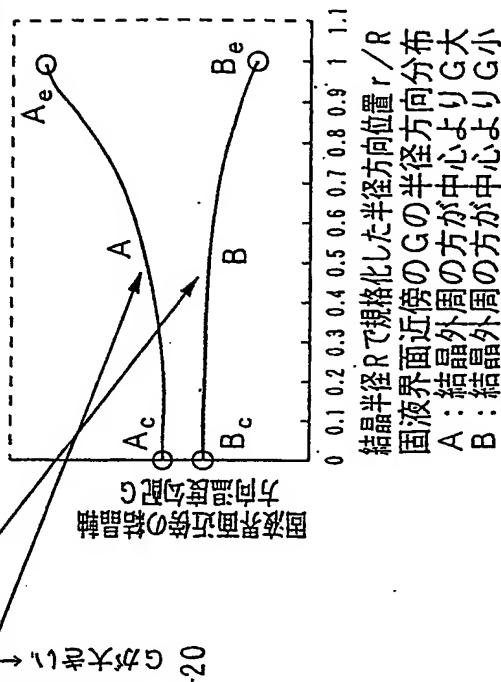
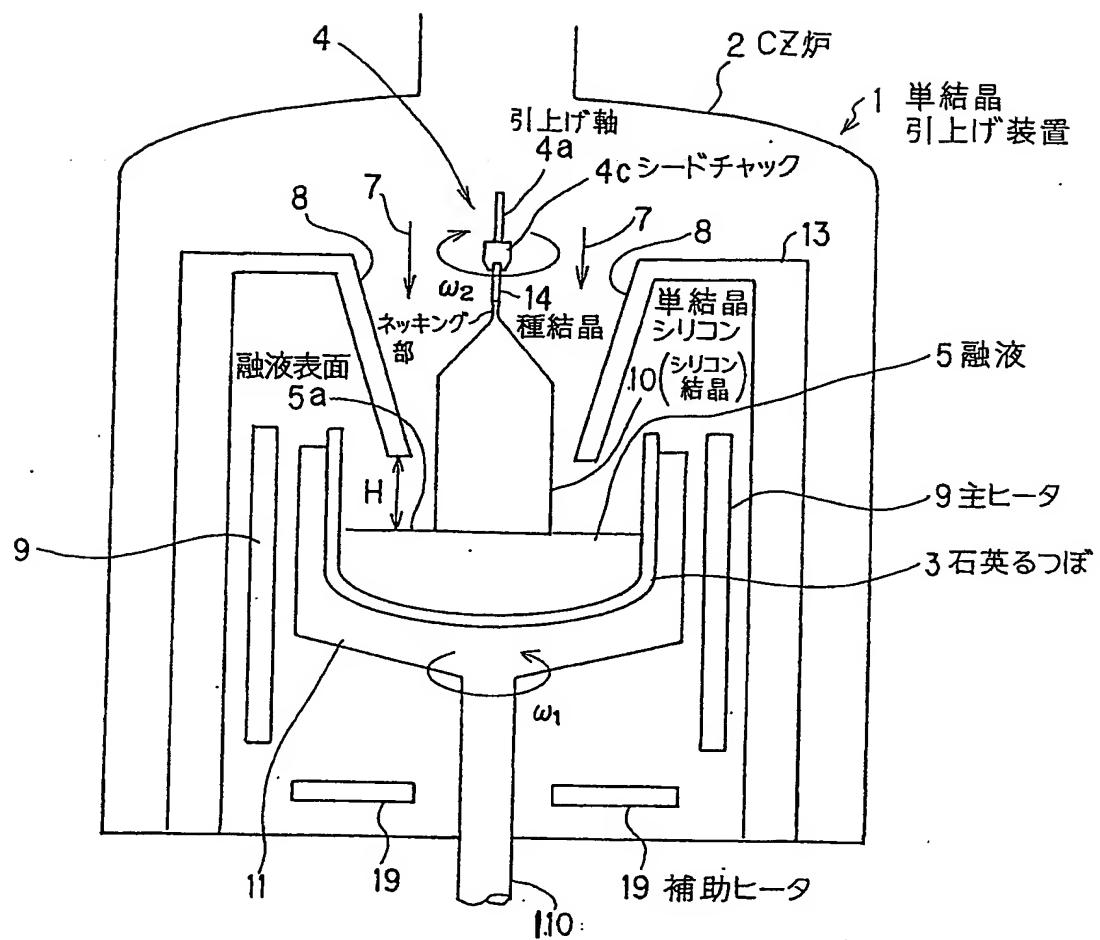


FIG. 3B

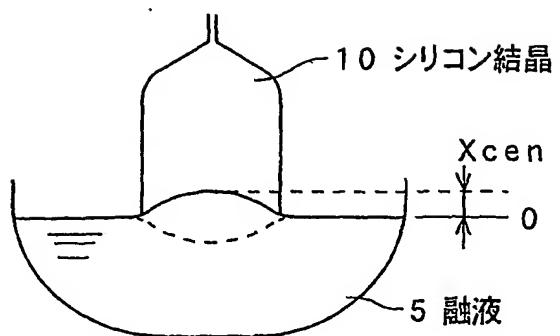
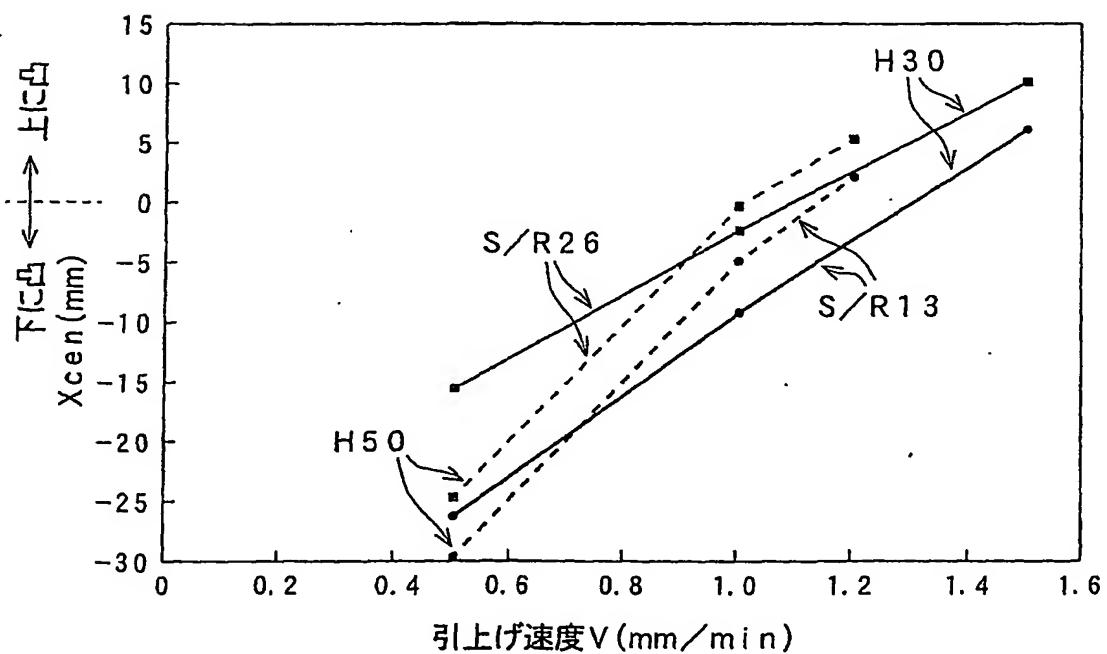


結晶半径 R で規格化した半径方向位置 r/R
結晶界面近傍のGの半径方向分布
A : 結晶外周の方が中心よりG大
B : 結晶外周の方が中心よりG小

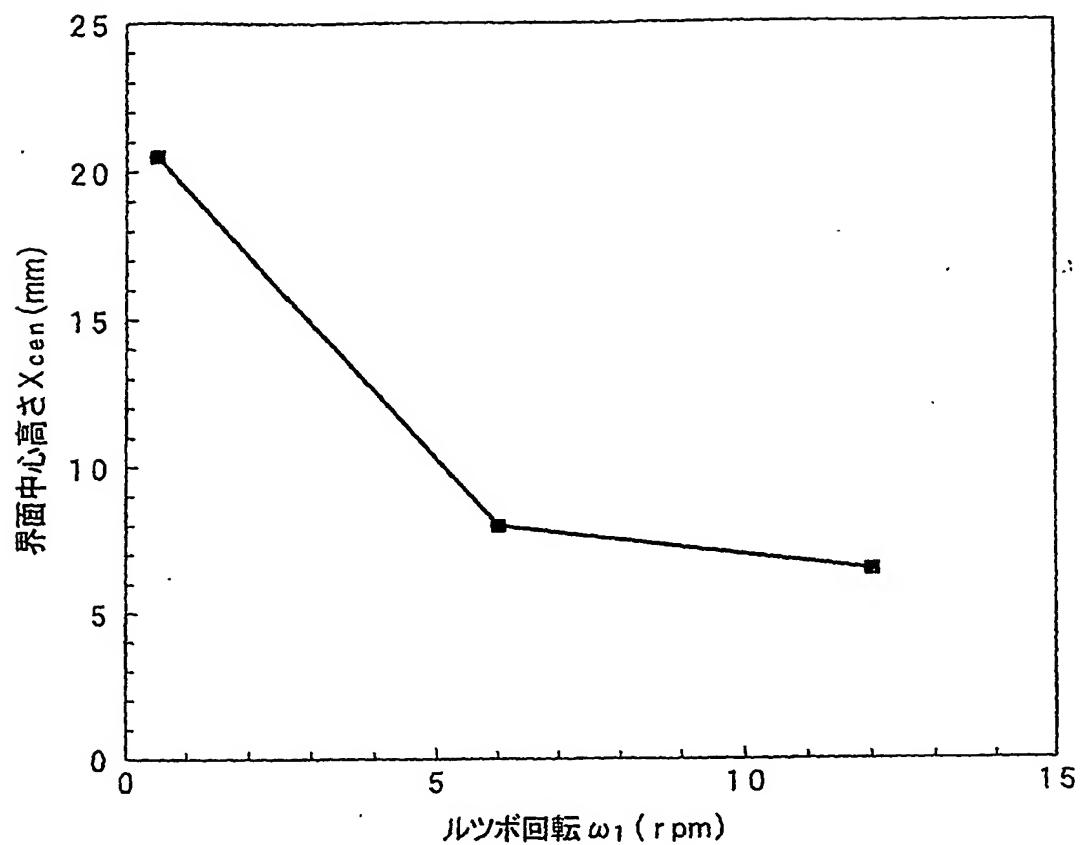
FIG.4



- 4 引上げ機構
- 4a 引上げ軸
- 7 アルゴンガス
- 8 热遮蔽板
- 110 回転軸
- 11 黒鉛るつぼ
- 13 保温筒

FIG.5 A**FIG.5 B**

結晶引上条件と界面形状

FIG.6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/14001

A. CLASSIFICATION OF SUBJECT MATTER
Int.C1⁷ C30B29/06, C30B15/04, C30B15/22, H01L21/322

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.C1⁷ C30B1/00-35/00, H01L21/322

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1069214 A1 (SHIN-ETSU HANDOTAI CO., LTD.), 17 January, 2001 (17.01.01), Claims 1 to 13; Par. Nos. [0078] to [0080] & JP 2000-219598 A & WO 00/46433 A1	1-10
X	WO 01/88230 A1 (Shin-Etsu Handotai Co., Ltd.), 22 November, 2001 (22.11.01), Claims 1 to 6; page 6, line 22 to page 7, line 29; page 9, line 29 to page 11, line 19 & US 6387466 B1 & JP 2000-128690 A	1-10
X A	JP 2001-39797 A (Mitsubishi Materials Silicon Corp., et al.), 13 February, 2001 (13.02.01), Claims 1 to 3; Par. Nos. [0024] to [0026] (Family: none)	1-2, 4-10 3

Further documents are listed in the continuation of Box C. See patent family annex.

"A"	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier document but published on or after the international filing date	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&"	document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search 01 December, 2003 (01.12.03)	Date of mailing of the international search report 16 December, 2003 (16.12.03)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/14001

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,X	WO 03/00962 A1 (Shin-Etsu Handotai Co., Ltd.), 03 January, 2003 (03.01.03), Claims 1 to 8; page 6, line 5 to page 7, line 6 & JP 2003-2786 A	1-10
A	EP 1270769 A1 (KOMATSU DENSHI KINZOKU KABUSHIKI KAISHA), 02 January, 2003 (02.01.03), & JP 2001-261495 A & WO 01/71069 A1	1-10

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. C1.7 C30B29/06, C30B15/04, C30B15/22, H01L21/322

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. C1.7 C30B1/00-35/00, H01L21/322

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2003年

日本国登録実用新案公報 1994-2003年

日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	EP 1069214 A1 (SHIN-ETSU HANDOTAI CO. LTD.) 2001.01.17 請求項1-13, [0078]-[0080] & JP 2000-219598 A & WO 00/46433 A1	1-10
X	WO 01/88230 A1 (信越半導体株式会社) 2001.11.22 請求項1-6, 第6頁第22行-第7頁第29行, 第9頁第29行-第11頁19 行 & US 6387466 B1 & JP 2000-128690 A	1-10

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

01.12.03

国際調査報告の発送日

16.12.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

横山 敏志

4G 2927

電話番号 03-3581-1101 内線 3416

C (続き)	関連すると認められる文献	関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
X	JP 2001-39797 A (三菱マテリアルシリコン株式会社 外1名) 2001.02.13 請求項1-3, 【0024】 - 【0026】 (ファミリーなし)	1-2, 4-10 3
P X	WO 03/00962 A1 (信越半導体株式会社) 2003.01.03 請求項1-8, 第6頁第5行-第7頁第6行 & JP 2003-2786 A	1-10
A	EP 1270769 A1 (KOMATSU DENSHI KINZOKU KABUSHIKI KAISHA) 2003.01.02 & JP 2001-261495 A & WO 01/71069 A1	1-10

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

**IMAGES ARE BEST AVAILABLE COPY.
As rescanning these documents will not correct the image
problems checked, please do not report these problems to
the IFW Image Problem Mailbox.**